




A5

DISPLAY DEVICE

Patent number: JP2001147659
Publication date: 2001-05-29
Inventor: YAMAGISHI MACHIO; YUMOTO AKIRA
Applicant: SONY CORP
Classification:
- **international:** G09G3/20; G09F9/30; G09G3/30; H01L29/786
- **europaean:**
Application number: JP19990327637 19991118
Priority number(s):

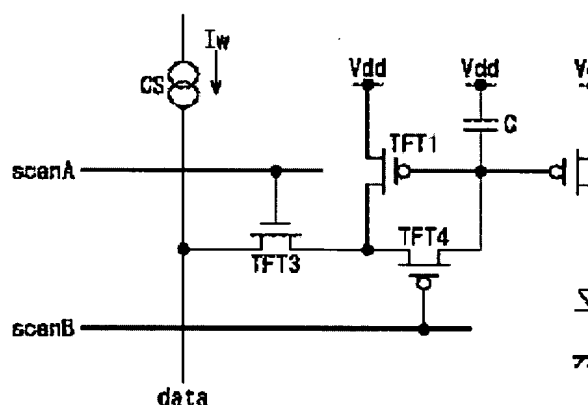
Also published as

 EP110223
 US650146
 EP110223

Abstract of JP2001147659

PROBLEM TO BE SOLVED: To stably and accurately supply desired current to a light emitting element of each pixel and to suppress the current leak independently of characteristic dispersion of an active element inside the pixel exists.

SOLUTION: Each pixel consists of a receiving transistor TFT3 which takes in a signal current I_w from a data line data when a scanning line scanA is selected, a converting transistor TFT1 which temporarily converts the current level of the taken in signal current I_w to a voltage level and holds it, and a driving transistor TFT2 which provides a flow of driving current having a current level corresponding to the held voltage level to a light emitting element OLED. The TFT1 provides a flow of the current I_w taken in by the TFT3 to its own channel to generate a converted voltage level at its own gate and a capacitor C holds the voltage level generated at the gate of the TFT1. The TFT2 makes a driving current having a current level corresponding to the voltage level held in the capacitor C flow through the element OLED. Note that the threshold voltage of the TFT2 is set so that the voltage dose not become lower than the threshold voltage of the TFT1 to suppress leak current.



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-147659

(P2001-147659A)

(43) 公開日 平成13年5月29日 (2001.5.29)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 B 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/30		G 0 9 G 3/30	J 5 F 1 1 0
H 0 1 L 29/786		H 0 5 B 33/14	A
審査請求 未請求 請求項の数27 O L (全 12 頁) 最終頁に続く			

(21) 出願番号 特願平11-327637

(22) 出願日 平成11年11月18日 (1999. 11. 18)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山岸 万千雄

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 湯本 昭

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100092336

弁理士 鈴木 晴敏

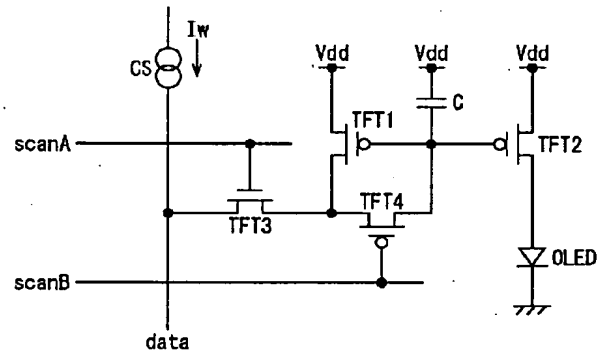
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 画素内部の能動素子の特性ばらつきによらず、安定且つ正確に各画素の発光素子に所望の電流を供給すると共に、電流リークを抑制する。

【解決手段】 各画素は、走査線 *scanA* が選択された時データ線 *data* から信号電流 *I_w* を取り込む受入用トランジスタ TFT3 と、取り込んだ信号電流 *I_w* の電流レベルを一旦電圧レベルに変換して保持する変換用トランジスタ TFT1 と、保持された電圧レベルに応じた電流レベルを有する駆動電流を発光素子 OLED に流す駆動用トランジスタ TFT2 とからなる。TFT1 は、TFT3 によって取り込まれた信号電流 *I_w* を自身のチャネルに流して変換された電圧レベルを自身のゲートに発生させ、容量 C は TFT1 のゲートに生じた電圧レベルを保持する。TFT2 は、C に保持された電圧レベルに応じた電流レベルを有する駆動電流を発光素子 OLED に流す。この際、TFT2 は、その閾電圧が TFT1 の閾電圧より低くならない様に設定されており、リーク電流を抑制する。



【特許請求の範囲】

【請求項 1】 走査線を順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、各走査線及び各データ線の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子を含む複数の画素とを備えた表示装置であって、

当該画素は、当該走査線が選択されたとき当該データ線から信号電流を取り込む受入部と、取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動部とを含み、前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、該ゲートに接続した容量とを含んでおり、前記変換用絶縁ゲート型電界効果トランジスタは、該受入部によって取り込まれた信号電流を該チャネルに流して変換された電圧レベルを該ゲートに発生させ、前記容量は該ゲートに生じた電圧レベルを保持し、

前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでおり、前記駆動用絶縁ゲート型電界効果トランジスタは、該容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して該発光素子に流し、前記駆動用絶縁ゲート型電界効果トランジスタは、その閾電圧が画素内で対応する変換用絶縁ゲート型電界効果トランジスタの閾電圧より低くならない様に設定されている表示装置。

【請求項 2】 前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート長が画素内で対応する変換用絶縁ゲート型電界効果トランジスタのゲート長より短くならない様に設定されている請求項 1 記載の表示装置。

【請求項 3】 前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート絶縁膜が画素内で対応する変換用絶縁ゲート型電界効果トランジスタのゲート絶縁膜より薄くならない様に設定されている請求項 1 記載の表示装置。

【請求項 4】 前記駆動用絶縁ゲート型電界効果トランジスタは、チャネルに注入される不純物濃度を調整して、その閾電圧が画素内で対応する変換用絶縁ゲート型電界効果トランジスタの閾電圧より低くならない様に設定されている請求項 1 記載の表示装置。

【請求項 5】 前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を該発光素子に流す請求項 1 記載の表示装置。

【請求項 6】 前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした請求項 1 記載の表示装置。

【請求項 7】 前記変換部は、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでおり、

該スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

該スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを該容量に保持する時に遮断され、該変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した該容量をドレインから切り離す請求項 1 記載の表示装置。

【請求項 8】 前記発光素子は有機エレクトロルミネッセンス素子を用いる請求項 1 記載の表示装置。

【請求項 9】 前記駆動用絶縁ゲート型電界効果トランジスタ及び変換用絶縁ゲート型電界効果トランジスタは、多結晶半導体薄膜でソース、ドレイン及びチャネルを形成した薄膜トランジスタである請求項 1 記載の表示装置。

【請求項 10】 輝度情報に応じた電流レベルの信号電流を供給するデータ線と選択パルスを供給する走査線との交差部に配され、駆動電流により発光する電流駆動型の発光素子を駆動する画素回路であって、

該走査線からの選択パルスにตอบสนองして該データ線から信号電流を取り込む受入部と、取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動部とを含み、

前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、該ゲートに接続した容量とを含んでおり、前記変換用絶縁ゲート型電界効果トランジスタは、該受入部によって取り込まれた信号電流を該チャネルに流して変換された電圧レベルを該ゲートに発生させ、前記容量は該ゲートに生じた電圧レベルを保持し、

前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでおり、前記駆動用絶縁ゲート型電界効果トランジスタは、該容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して該発光素子に流し、

前記駆動用絶縁ゲート型電界効果トランジスタは、その閾電圧が変換用絶縁ゲート型電界効果トランジスタの閾電圧より低く設定されている画素回路。

【請求項 11】 前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート長が変換用絶縁ゲート型電界効果トランジスタのゲート長より短くならない様に設定されている請求項 10 記載の画素回路。

【請求項 12】 前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート絶縁膜が変換用絶縁ゲート型電界効果トランジスタのゲート絶縁膜より薄くならない様に設定されている請求項 10 記載の画素回路。

【請求項 13】 前記駆動用絶縁ゲート型電界効果トランジスタは、チャンネルに注入される不純物濃度を調整して、その閾電圧が変換用絶縁ゲート型電界効果トランジスタの閾電圧より低くならない様に設定されている請求項 10 記載の画素回路。

【請求項 14】 前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を該発光素子に流す請求項 10 記載の画素回路。

【請求項 15】 前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした請求項 10 記載の画素回路。

【請求項 16】 前記変換部は、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでおり、

該スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

該スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを該容量に保持する時に遮断され、該変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した該容量をドレインから切り離す請求項 10 記載記載の画素回路。

【請求項 17】 前記発光素子は有機エレクトロルミネッセンス素子を用いる請求項 10 記載の画素回路。

【請求項 18】 前記駆動用絶縁ゲート型電界効果トランジスタ及び変換用絶縁ゲート型電界効果トランジスタは、多結晶半導体薄膜でソース、ドレイン及びチャンネルを形成した薄膜トランジスタである請求項 10 記載の画素回路。

【請求項 19】 輝度情報に応じた電流レベルの信号電流を供給するデータ線と選択パルスを供給する走査線との交差部に配され、駆動電流により発光する電流駆動型の発光素子を駆動する発光素子の駆動方法であって、該走査線からの選択パルスにตอบสนองして該データ線から信号電流を取り込む受入手順と、取り込んだ信号電流の電

流レベルを一旦電圧レベルに変換して保持する変換手順と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動手順とを含み、前記変換手順は、ゲート、ソース、ドレイン及びチャンネルを備えた変換用絶縁ゲート型電界効果トランジスタと、該ゲートに接続した容量とを用いる手順を含んでおり、該手順において、該変換用絶縁ゲート型電界効果トランジスタは、該受入手順によって取り込まれた信号電流を該チャンネルに流して変換された電圧レベルを該ゲートに発生させ、前記容量は該ゲートに生じた電圧レベルを保持し、

前記駆動手順は、ゲート、ドレイン、ソース及びチャンネルを備えた駆動用絶縁ゲート型電界効果トランジスタを用いる手順を含んでおり、該手順において、該駆動用絶縁ゲート型電界効果トランジスタは、該容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャンネルを介して該発光素子に流し、

該駆動用絶縁ゲート型電界効果トランジスタは、その閾電圧が変換用絶縁ゲート型電界効果トランジスタの閾電圧より低くなる様に設定する発光素子の駆動方法。

【請求項 20】 前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート長が変換用絶縁ゲート型電界効果トランジスタのゲート長より短くならない様に設定する請求項 19 記載の発光素子の駆動方法。

【請求項 21】 前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート絶縁膜が変換用絶縁ゲート型電界効果トランジスタのゲート絶縁膜より薄くならない様に設定する請求項 19 記載の発光素子の駆動方法。

【請求項 22】 前記駆動用絶縁ゲート型電界効果トランジスタは、チャンネルに注入される不純物濃度を調整して、その閾電圧が変換用絶縁ゲート型電界効果トランジスタの閾電圧より低くならない様に設定する請求項 19 記載の発光素子の駆動方法。

【請求項 23】 該駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を該発光素子に流す請求項 19 記載の発光素子の駆動方法。

【請求項 24】 該変換用絶縁ゲート型電界効果トランジスタのゲートと該駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした請求項 19 記載の発光素子の駆動方法。

【請求項 25】 前記変換手順は、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを用いる手順を含んでおり、

該手順において、該スイッチ用絶縁ゲート型電界効果トランジスタは、該変換用絶縁ゲート型電界効果トランジ

スタが信号電流の電流レベルを電圧レベルに変換する時に導通し、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、該スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを該容量に保持する時に遮断され、該変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した該容量をドレインから切り離す請求項19記載記載の発光素子の駆動方法。

【請求項26】 前記発光素子は有機エレクトロルミネッセンス素子を用いる請求項19記載の発光素子の駆動方法。

【請求項27】 前記駆動用絶縁ゲート型電界効果トランジスタ及び変換用絶縁ゲート型電界効果トランジスタは、多結晶半導体薄膜でソース、ドレイン及びチャネルを形成した薄膜トランジスタを用いる請求項19記載の発光素子の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機エレクトロルミネッセンス（EL）素子などの、電流によって輝度が制御される発光素子を各画素毎に備えた表示装置に関する。より詳しくは、各画素内に設けられた絶縁ゲート型電界効果トランジスタなどの能動素子によって発光素子に供給する電流量が制御される、所謂アクティブマトリクス型の画像表示装置に関する。更に詳しくは、絶縁ゲート型電界効果トランジスタに流れるサブスレッショルドレベルのリーク電流の抑制技術に関する。

【0002】

【従来の技術】一般に、アクティブマトリクス型の画像表示装置では、多数の画素をマトリクス状に並べ、与えられた輝度情報に応じて画素毎に光強度を制御することによって画像を表示する。電気光学物質として液晶を用いた場合には、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学物質として有機エレクトロルミネッセンス材料を用いたアクティブマトリクス型の画像表示装置でも、基本的な動作は液晶を用いた場合と同様である。しかし液晶ディスプレイと異なり、有機ELディスプレイは各画素に発光素子を有する、所謂自発光型であり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。個々の発光素子の輝度は電流量によって制御される。即ち、発光素子が電流駆動型或いは電流制御型であるという点で液晶ディスプレイ等とは大きく異なる。

【0003】液晶ディスプレイと同様、有機ELディスプレイ

$$I_{ds} = \mu \cdot C_{ox} \cdot W/L/2 (V_{gs} - V_{th})^2 \\ = \mu \cdot C_{ox} \cdot W/L/2 (V_w - V_{th})^2 \quad \dots (1)$$

ここで C_{ox} は単位面積当りのゲート容量であり、以下の式で与えられる。

*ブレイもその駆動方式として単純マトリクス方式とアクティブマトリクス方式とが可能である。前者は構造が単純であるものの大型且つ高精細のディスプレイの実現が困難であるため、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた能動素子（一般には、絶縁ゲート型電界効果トランジスタの一種である薄膜トランジスタ、以下TFTと呼ぶ場合がある）によって制御する。このアクティブマトリクス方式の有機ELディスプレイは例えば特開平8-234683号公報に開示されており、一画素分の等価回路を図6に示す。画素は発光素子OLED、第一の薄膜トランジスタTFT1、第二の薄膜トランジスタTFT2及び保持容量Cからなる。発光素子は有機エレクトロルミネッセンス（EL）素子である。有機EL素子は多くの場合整流性があるため、OLED（有機発光ダイオード）と呼ばれることがあり、図では発光素子OLEDとしてダイオードの記号を用いている。但し、発光素子は必ずしもOLEDに限るものではなく、素子に流れる電流量によって輝度が制御されるものであればよい。また、発光素子は必ずしも整流性が要求されるものではない。図示の例では、Pチャンネル型のTFT2のソースをV_{dd}（電源電位）とし、発光素子OLEDのカソード（陰極）は接地電位に接続される一方、アノード（陽極）はTFT2のドレインに接続されている。一方、Nチャンネル型のTFT1のゲートは走査線scanに接続され、ソースはデータ線dataに接続され、ドレインは保持容量C及びTFT2のゲートに接続されている。

【0004】画素を動作させるために、まず、走査線scanを選択状態とし、データ線dataに輝度情報を表すデータ電位V_wを印加すると、TFT1が導通し、保持容量Cが充電又は放電され、TFT2のゲート電位はデータ電位V_wに一致する。走査線scanを非選択状態とすると、TFT1がオフになり、TFT2は電気的にデータ線dataから切り離されるが、TFT2のゲート電位は保持容量Cによって安定に保持される。TFT2を介して発光素子OLEDに流れる電流は、TFT2のゲート/ソース間電圧V_{gs}に応じた値となり、発光素子OLEDはTFT2を通して供給される電流量に応じた輝度で発光し続ける。

【0005】さて、TFT2のドレイン/ソース間に流れる電流をI_{ds}とすると、これがOLEDに流れる駆動電流である。TFT2が飽和領域で動作するものとする、I_{ds}は以下の式で表される。

$$C_{ox} = \epsilon_0 \cdot \epsilon_r / d \quad \dots (2)$$

(1)式及び(2)式中、V_{th}はTFT2の閾値を示

し、 μ はキャリアの移動度を示し、 W はチャネル幅を示し、 L はチャネル長を示し、 ϵ_0 は真空の誘電率を示し、 ϵ_r はゲート絶縁膜の比誘電率を示し、 d はゲート絶縁膜の厚みである。

【0006】(1)式によれば、画素へ書き込む電位 V_w によって I_{ds} を制御でき、結果として発光素子OLEDの輝度を制御できることになる。ここで、TFT2を飽和領域で動作させる理由は次の通りである。即ち、飽和領域においては I_{ds} は V_{gs} のみによって制御され、ドレイン/ソース間電圧 V_{ds} には依存しないた

め、OLEDの特性ばらつきにより V_{ds} が変動しても、所定量の駆動電流 I_{ds} をOLEDに流すことができるからである。

【0007】上述したように、図6に示した画素の回路構成では、一度 V_w の書き込みを行えば、次に書き換えられるまで一走査サイクル（一フレーム）の間、OLEDは一定の輝度で発光を継続する。このような画素を図7のようにマトリクス状に多数配列すると、アクティブマトリクス型表示装置を構成することができる。図7に示すように、従来の表示装置は、所定の走査サイクル（例えばNTSC規格に従ったフレーム周期）で画素25を選択するための走査線 $scan1$ 乃至 $scanN$ と、画素25を駆動するための輝度情報（データ電位 V_w ）を与えるデータ線 $data$ とがマトリクス状に配設されている。走査線 $scan1$ 乃至 $scanN$ は走査線駆動回路21に接続される一方、データ線 $data$ はデータ線駆動回路22に接続される。走査線駆動回路21によって走査線 $scan1$ 乃至 $scanN$ を順次選択しながら、データ線駆動回路22によってデータ線 $data$ から V_w の書き込みを繰り返すことにより、所望の画

【0008】

【発明が解決しようとする課題】アクティブマトリクス型有機ELディスプレイにおいては、能動素子として一般にガラス基板上に形成されたTFT（Thin Film Transistor、薄膜トランジスタ）が利用されるが、これは次の理由による。すなわち、有機ELディスプレイは直視型であるという性質上、そのサイズは比較的大型となり、コストや製造設備の制約などから、能動素子の形成のために単結晶シリコン基板を用いることは現実的でない。かかる事情から、アクティブマトリクス型有機ELディスプレイでは、比較的大型のガラス基板が使用され、能動素子としてはその上に形成することが比較的容易なTFTが使用されるのが普通であ

る。ところが、TFTの形成に使用されるアモルファスシリコンやポリシリコンは、単結晶シリコンに比べて結晶性が悪く、伝導機構の制御性が悪いために、形成されたTFTは特性のばらつきが大きいことが知られている。特に、比較的大型のガラス基板上にポリシリコンTFTを形成する場合には、ガラス基板の熱変形等の問題を避けるため、通常、レーザアニール法が用いられるが、大きなガラス基板に均一にレーザエネルギーを照射することは難しく、ポリシリコンの結晶化の状態が基板内の場所によってばらつきを生ずることが避けられない。

【0009】この結果、同一基板上に形成したTFTでも、その V_{th} （閾値）が画素によって数百mV、場合によっては1V以上ばらつくことも希ではない。この場合、例えば異なる画素に対して同じ信号電位 V_w を書き込んでも、画素によって V_{th} がばらつく結果、前掲の(1)式に従って、OLEDに流れる電流 I_{ds} は画素毎に大きくばらついて全く所望の値からはずれる結果となり、ディスプレイとして高い画質を期待することはできない。これは V_{th} のみではなく、キャリア移動度 μ 等(1)式の各パラメータのばらつきについても同様のことが言える。また、上記の各パラメータのばらつきは、上述のような画素間のばらつきのみならず、製造ロット毎、あるいは製品毎によってもある程度は変動することが避けられない。このような場合は、OLEDに流すべき所望の電流 I_{ds} に対し、データ線電位 V_w をどう設定すべきかについて、製品毎に(1)式の各パラメータの出来上がりに応じて決定する必要があるが、これはディスプレイの量産工程においては非現実的であるばかりでなく、環境温度によるTFTの特性変動、更に長期間の使用によって生ずるTFT特性の経時変化については対策を講ずることが極めて難しい。本発明は、上述の問題に鑑みてなされた画素回路およびその駆動方法に関するものであり、その目的は、画素内部の能動素子の特性ばらつきによらず、安定且つ正確に各画素の発光素子に所望の電流を供給し、その結果として高品位な画像を表示することが可能な表示装置を提供することにある。特に、OLEDを駆動するTFTに流れるサブスレッショルドレベルのリーク電流を抑制して、画素の微発光を防ぎ、以て高品位な画像表示を達成することを目的とする。

【0010】

【課題を解決する為の手段】上記目的を達成する為に以下の手段を講じた。即ち、本発明は、走査線を順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、各走査線及び各データ線の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子を含む複数の画素とを備えた表示装置であって、当該画素は、当該走査線が選

扱されたとき当該データ線から信号電流を取り込む受入部と、取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動部とを含み、前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、該ゲートに接続した容量とを含んでおり、前記変換用絶縁ゲート型電界効果トランジスタは、該受入部によって取り込まれた信号電流を該チャネルに流して変換された電圧レベルを該ゲートに発生させ、前記容量は該ゲートに生じた電圧レベルを保持し、前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでおり、前記駆動用絶縁ゲート型電界効果トランジスタは、該容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して該発光素子に流し、前記駆動用絶縁ゲート型電界効果トランジスタは、その閾電圧が画素内で対応する変換用絶縁ゲート型電界効果トランジスタの閾電圧より低くならない様に設定されている。具体的には、前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート長が画素内で対応する変換用絶縁ゲート型電界効果トランジスタのゲート長より短くならない様に設定されている。或いは、前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート絶縁膜が画素内で対応する変換用絶縁ゲート型電界効果トランジスタのゲート絶縁膜より薄くならない様に設定されている。或いは、前記駆動用絶縁ゲート型電界効果トランジスタは、チャネルに注入される不純物濃度を調整して、その閾電圧が画素内で対応する変換用絶縁ゲート型電界効果トランジスタの閾電圧より低くならない様に設定されている。好ましくは、前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を該発光素子に流す。又、前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にする。又、前記変換部は、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでおり、該スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、該スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを該容量に保持する時に遮断され、該変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した該容量をドレインから切り離す。好ましくは、前記

発光素子は有機エレクトロルミネッセンス素子を用いる。好ましくは、前記駆動用絶縁ゲート型電界効果トランジスタ及び変換用絶縁ゲート型電界効果トランジスタは、多結晶半導体薄膜でソース、ドレイン及びチャネルを形成した薄膜トランジスタである。

【0011】本発明の画素回路は次の特徴を有する。第一に、画素への輝度情報の書き込みは、輝度に応じた大きさの信号電流をデータ線に流すことによって行われ、その電流は画素内部の変換用絶縁ゲート型電界効果トランジスタのソース・ドレイン間を流れ、結果その電流レベルに応じたゲート・ソース間電圧を生ずる。第二に、上記で生じたゲート・ソース間電圧、またはゲート電位は、画素内部に形成された、もしくは寄生的に存在する容量の作用によって保持され、書き込み終了後も所定の期間、概ねそのレベルを保つ。第三に、OLEDに流れる電流は、それと直列に接続された前記変換用絶縁ゲート型電界効果トランジスタ自身、もしくはそれとは別に画素内部に設けられ該変換用絶縁ゲート型電界効果トランジスタとゲートを共通接続された駆動用絶縁ゲート型電界効果トランジスタによって制御され、OLED駆動の際のゲート・ソース間電圧が、第一の特徴によって生じた変換用絶縁ゲート型電界効果トランジスタのゲート・ソース間電圧に概ね等しい。第四に、書き込み時には、第1の走査線によって制御される取込用絶縁ゲート型電界効果トランジスタによってデータ線と画素内部が導通され、第2の走査線によって制御されるスイッチ用絶縁ゲート型電界効果トランジスタによって前記変換用絶縁ゲート型電界効果トランジスタのゲート・ドレイン間が短絡される。以上まとめると、従来例においては輝度情報が電圧値の形で与えられたのに対し、本発明の表示装置においては電流値の形で与えられること、即ち電流書き込み型であることが著しい特徴である。

【0012】本発明は、既に述べたようにTFTの特性ばらつきによらず、正確に所望の電流をOLEDに流すことを目的とするが、上記第一ないし第四の特徴によって、本目的が達成できる理由を以下に説明する。なお、以下変換用絶縁ゲート型電界効果トランジスタをTFT1、駆動用絶縁ゲート型電界効果トランジスタをTFT2、取込用絶縁ゲート型電界効果トランジスタをTFT3、スイッチ用絶縁ゲート型電界効果トランジスタをTFT4と記す。但し本発明はTFT（薄膜トランジスタ）に限られるものではなく、単結晶シリコン基板やSOI基板に作成される単結晶シリコントランジスタなど広く絶縁ゲート型電界効果トランジスタを能動素子として採用可能である。さて、輝度情報の書き込み時、TFT1に流す信号電流を I_w 、その結果TFT1に生ずるゲート・ソース間電圧を V_{gs} とする。書き込み時はTFT4によってTFT1のゲート・ドレイン間が短絡されているので、TFT1は飽和領域で動作する。よって、 I_w は、以下の式で与えられる。

11

$$I_w = \mu_1 \cdot C_{ox1} \cdot W_1 / L_1 / 2 (V_{gs} - V_{th1})^2 \dots (3)$$

ここで各パラメータの意味は前記(1)式の場合に準ずる。次に、OLEDに流れる電流を I_{drv} とすると、 I_{drv} は、OLEDと直列に接続されるTFT2によって電流レベルが制御される。本発明では、そのゲート*

$$I_{drv} = \mu_2 \cdot C_{ox2} \cdot W_2 / L_2 / 2 (V_{gs} - V_{th2})^2 \dots (4)$$

各パラメータの意味は前記(1)式の場合に準ずる。なお、絶縁ゲート電界効果型の薄膜トランジスタが飽和領域で動作するための条件は、 V_{ds} をドレイン・ソース間電圧として、一般に以下の式で与えられる。

$$|V_{ds}| > |V_{gs} - V_{th}| \dots (5)$$

【0013】ここで、TFT1とTFT2とは、小さな※

$$I_{drv} / I_w = (W_2 / L_2) / (W_1 / L_1) \dots (6)$$

ここで注意すべき点は、(3)式及び(4)式において、 μ 、 C_{ox} 、 V_{th} の値自体は、画素毎、製品毎、あるいは製造ロット毎にばらつくのが普通であるが、(6)式はこれらのパラメータを含まないので、 I_{drv} / I_w の値はこれらのばらつきに依存しないということである。仮に $W_1 = W_2$ 、 $L_1 = L_2$ と設計すれば、 $I_{drv} / I_w = 1$ 、すなわち I_w と I_{drv} が同一の値となる。すなわちTFTの特性ばらつきによらず、OLEDに流れる駆動電流 I_{drv} は、正確に信号電流 I_w と同一になるので、結果としてOLEDの発光輝度を正確に制御できる。

【0014】以上の様に、変換用TFT1の V_{th1} と駆動用TFT2の V_{th2} は基本的に同一である為、両TFTお互いの共通電位にあるゲートに対してカットオフレベルの信号電圧が印加されると、TFT1及びTFT2共に非導通状態になるはずである。ところが、実際には画素内でもパラメータのばらつきなどの要因により、 V_{th1} よりも V_{th2} が低くなってしまうことがある。この時には、駆動用TFT2にサブスレッショルドレベルのリーク電流が流れる為、OLEDは微発光を呈する。この微発光により画面のコントラストが低下し表示特性が損なわれる。そこで、本発明では特に、駆動用TFT2の閾電圧 V_{th2} が画素内で対応する変換用TFT1の閾電圧 V_{th1} より低くならない様に設定している。例えば、TFT2のゲート長 L_2 をTFT1のゲート長 L_1 よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 V_{th2} が V_{th1} よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。

【0015】

【発明の実施の形態】図1は本発明による画素回路の例である。この回路は、信号電流が流れる変換用トランジスタTFT1、有機EL素子等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタTFT2の他、第1の走査線scanAの制御によって画素回路とデータ線dataとを接続もしくは遮断する取込用トラ

12

*・ソース間電圧が(3)式の V_{gs} に一致するので、TFT2が飽和領域で動作すると仮定すれば、以下の式が成り立つ。

※画素内部に近接して形成されるため、大略 $\mu_1 = \mu_2$ 及び $C_{ox1} = C_{ox2}$ であり、特に工夫を凝らさない限り、 $V_{th1} = V_{th2}$ と考えられる。すると、このとき(3)式及び(4)式から容易に以下の式が導かれる。

ンジスタTFT3、第2の走査線scanBの制御によって書き込み期間中にTFT1のゲート・ドレインを短絡するスイッチ用トランジスタTFT4、TFT1のゲート・ソース間電圧を、書き込み終了後も保持するための容量C、及び発光素子OLEDから成る。図1でTFT3はNMOS、その他のトランジスタはPMOSで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Cは、その一方の端子をTFT1のゲートに接続され、他方の端子はVdd(電源電位)に接続されているが、Vddに限らず任意の一定電位でも良い。OLEDのカソード(陰極)は接地電位に接続されている。

【0016】基本的に、本発明にかかる表示装置は、走査線scanA及びscanBを順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流 I_w を生成して逐次データ線dataに供給する電流源CSを含むデータ線駆動回路と、各走査線scanA、scanB及び各データ線dataの交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子OLEDを含む複数の画素とを備えている。特徴事項として、図1に示した当該画素は、当該走査線scanAが選択された時当該データ線dataから信号電流 I_w を取り込む受入部と、取り込んだ信号電流 I_w の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子OLEDに流す駆動部とからなる。具体的には、前記受入部は取込用トランジスタTFT3からなる。前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用薄膜トランジスタTFT1と、そのゲートに接続した容量Cとを含んでいる。変換用薄膜トランジスタTFT1は、受入部によって取り込まれた信号電流 I_w をチャネルに流して変換された電圧レベルをゲートに発生させ、容量Cはゲートに生じた電圧レベルを保持する。更に前記変換部は、変換用薄膜トランジスタTFT1のドレインとゲートとの間に挿入されたスイッチ用薄膜トランジスタTFT4

を含んでいる。スイッチ用薄膜トランジスタTFT4は、信号電流Iwの電流レベルを電圧レベルに変換する時に導通し、変換用薄膜トランジスタTFT1のドレインとゲートを電気的に接続してソースを基準とする電圧レベルをTFT1のゲートに生ぜしめる。又、スイッチ用薄膜トランジスタTFT4は、電圧レベルを容量Cに保持する時に遮断され、変換用薄膜トランジスタTFT1のゲート及びこれに接続した容量CをTFT1のドレインから切り離す。

【0017】更に、前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用薄膜トランジスタTFT2を含んでいる。駆動用薄膜トランジスタTFT2は、容量Cに保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して発光素子OLEDに流す。変換用薄膜トランジスタTFT1のゲートと駆動用薄膜トランジスタTFT2のゲートとが直接に接続されてカレントミラー回路を構成し、信号電流Iwの電流レベルと駆動電流の電流レベルとが比例関係となる様にした。駆動用薄膜トランジスタTFT2は飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を発光素子OLEDに流す。

【0018】本発明の特徴事項として、駆動用薄膜トランジスタTFT2は、その閾電圧が画素内で対応する変換用薄膜トランジスタTFT1の閾電圧より低くならない様に設定されている。具体的には、TFT2は、そのゲート長がTFT1のゲート長より短くならない様に設定されている。あるいは、TFT2は、そのゲート絶縁膜が画素内で対応するTFT1のゲート絶縁膜より薄くならないように設定しても良い。あるいは、TFT2は、そのチャネルに注入される不純物濃度を調整して、閾電圧が画素内で対応するTFT1の閾電圧より低くならない様に設定してもよい。仮に、TFT1とTFT2の閾電圧が同一となる様に設定した場合、共通接続された両薄膜トランジスタのゲートにカットオフレベルの信号電圧が印加されると、TFT1及びTFT2は両方共オフ状態になるはずである。ところが、実際には画素内にも僅かながらプロセスパラメータのばらつきがあり、TFT1の閾電圧よりTFT2の閾電圧が低くなる場合がある。この時には、カットオフレベル以下の信号電圧でもサブスレッショルドレベルの微弱電流が駆動用TFT2に流れる為、OLEDは微発光し画面のコントラスト低下が現れる。そこで、本発明では、TFT2のゲート長をTFT1のゲート長よりも長くしている。これにより、薄膜トランジスタのプロセスパラメータが画素内で変動しても、TFT2の閾電圧がTFT1の閾電圧よりも低くならない様にする。

【0019】図2は、薄膜トランジスタのゲート長Lと閾電圧Vthの関係を示すグラフである。ゲート長Lが比較的短い短チャネル効果領域Aでは、ゲート長Lの増

加に伴いVthが上昇する。一方、ゲート長Lが比較的大きな抑制領域Bではゲート長Lに関わらずVthはほぼ一定である。この特性を利用して、本発明ではTFT2のゲート長をTFT1のゲート長よりも長くしている。例えば、TFT1のゲート長が7μmの場合、TFT2のゲート長を10μm程度にする。TFT1のゲート長が短チャネル効果領域Aに属する一方、TFT2のゲート長が抑制領域Bに属する様にしても良い。これにより、TFT2における短チャネル効果を抑制することができるとともに、プロセスパラメータの変動による閾電圧低減を抑制可能である。以上により、TFT2に流れるサブスレッショルドレベルのリーク電流を抑制してOLEDの微発光を抑え、コントラスト改善に寄与可能である。

【0020】図3は、図1に示した画素回路の断面構造を模式的に表している。但し、図示を容易にするため、OLEDとTFT2のみを表している。OLEDは、反射電極10、有機EL層11及び透明電極12を順に重ねたものである。反射電極10は画素毎に分離しておりOLEDのアノードとして機能する、透明電極12は画素間で共通接続されており、OLEDのカソードとして機能する。即ち、透明電極12は所定の電源電位Vddに共通接続されている。有機EL層11は例えば正孔輸送層と電子輸送層とを重ねた複合膜となっている。例えば、アノード（正孔注入電極）として機能する反射電極10の上に正孔輸送層としてDiamyneを蒸着し、その上に電子輸送層としてAlq3を蒸着し、更にその上にカソード（電子注入電極）として機能する透明電極12を成膜する。尚、Alq3は、8-hydroxyquinoline aluminumを表している。このような積層構造を有するOLEDは一例に過ぎない。かかる構成を有するOLEDのアノード/カソード間に順方向の電圧（10V程度）を印加すると、電子や正孔等キャリアの注入が起り、発光が観測される。OLEDの動作は、正孔輸送層から注入された正孔と電子輸送層から注入された電子より形成された励起子による発光と考えられる。

【0021】一方、TFT2はガラス等からなる基板1の上に形成されたゲート電極2と、その上面に重ねられたゲート絶縁膜3と、このゲート絶縁膜3を介してゲート電極2の上方に重ねられた半導体薄膜4とからなる。この半導体薄膜4は例えば多結晶シリコン薄膜からなる。TFT2はOLEDに供給される電流の通路となるソースS、チャネルCh及びドレインDを備えている。チャネルChは丁度ゲート電極2の直上に位置する。このボトムゲート構造のTFT2は層間絶縁膜5により被覆されており、その上にはソース電極6及びドレイン電極7が形成されている。これらの上には別の層間絶縁膜9を介して前述したOLEDが成膜されている。なお、図3の例ではTFT2のドレインにOLEDのアノード

を接続する為、TFT2としてPチャネル薄膜トランジスタを用いている。

【0022】ここで、TFT2のゲート長LはTFT1（図示せず）のゲート長よりも長くなる様に設定されている。あるいは、TFT2のゲート絶縁膜3の厚みdをTFT1のゲート絶縁膜の厚みよりも大きくしてもよい。薄膜トランジスタの閾電圧はゲート絶縁膜の厚みが大きくなる程上昇する。場合によっては、TFT2のチャネルChに不純物を選択的に注入して閾電圧を調整してもよい。PチャネルのTFT2の場合その閾電圧をよりエンハンスメント側にシフトする為、不純物P又はAsをチャネルChに選択的にドーピングすればよい。

【0023】次に、図4を参照して、図1に示した画素回路の駆動方法を簡潔に説明する。先ず、書き込み時には第1の走査線scanA、第2の走査線scanBを選択状態とする。図4の例では、scanAを低レベル、scanBを高レベルとしている。両走査線が選択された状態でデータ線dataに電流源CSを接続することにより、TFT1に輝度情報に応じた信号電流Iwが流れる。電流源CSは輝度情報に応じて制御される可変電流源である。このとき、TFT1のゲート・ドレイン間はTFT4によって電気的に短絡されているので

(5)式が成立し、TFT1は飽和領域で動作する。従って、そのゲート・ソース間には(3)式で与えられる電圧Vgsが生ずる。次に、scanA、scanBを非選択状態とする。詳しくは、まずscanBを低レベルとしてTFT4をoff状態とする。これによってVgsが容量Cによって保持される。次にscanAを高レベルにしてoff状態とすることにより、画素回路とデータ線dataとが電気的に遮断されるので、その後はデータ線dataを介して別の画素への書き込みを行うことができる。ここで、電流源CSが信号電流の電流レベルとして出力するデータは、scanBが非選択となる時点では有効である必要があるが、その後は任意のレベル（例えば次の画素の書き込みデータ）とされて良い。TFT2はTFT1とゲート及びソースが共通接続されており、かつ共に小さな画素内部に近接して形成されているので、TFT2が飽和領域で動作していれば、TFT2を流れる電流は(4)式で与えられ、これがすなわちOLEDに流れる駆動電流Idrvとなる。TFT2を飽和領域で動作させるには、OLEDでの電圧降下を考慮してもなお(5)式が成立するよう、十分な電源電位をVddに与えれば良い。

【0024】図5は、図1の画素回路をマトリックス状に並べて構成した表示装置の例である。その動作を以下に説明する。先ず、垂直スタートパルス(VSP)がシフトレジスタを含む走査線駆動回路A21と同じくシフトレジスタを含む走査線駆動回路B23に入力される。走査線駆動回路A21、走査線駆動回路B23はVSPを受けた後、垂直クロック(VCKA、VCKB)に同

期してそれぞれ第1の走査線scanA1～scanAN、第2の走査線scanB1～scanBNを順次選択する。各データ線dataに対応して電流源CSがデータ線駆動回路22内に設けられており、輝度情報に応じた電流レベルでデータ線を駆動する。電流源CSは、図示の電圧/電流変換回路からなり、輝度情報を表す電圧に応じて信号電流を出力する。信号電流は選択された走査線上の画素に流れ、走査線単位で電流書き込みが行われる。各画素はその電流レベルに応じた強度で発光を開始する。ただし、VCKAは、VCKBに対し、遅延回路24によってわずかに遅延されている。これにより、図4に示したように、scanBがscanAに先立って非選択となる。

【0025】

【発明の効果】本発明の画素回路、及びその駆動法によれば、能動素子（TFTなど）の特性ばらつきによらず、データ線からの信号電流Iwに正確に比例（または対応）する駆動電流Idrvを、電流駆動型の発光素子（有機EL素子など）に流すことが可能である。このような画素回路をマトリックス状に多数配置することにより、各画素を正確に所望の輝度で発光させることができるので、高品位なアクティブマトリックス型表示装置を提供することが可能である。特に、駆動用TFTの閾電圧を変換用TFTの閾電圧より低くならない様に設定することで、発光素子に流れるリーク電流を抑制し、以て発光素子の微発光を抑える。これにより、有機ELディスプレイなど電流駆動型の表示装置のコントラストを改善して画質を高めることが可能になる。

【図面の簡単な説明】

【図1】本発明に係る表示装置を構成する画素回路の実施形態を示す回路図である。

【図2】薄膜トランジスタのゲート長と閾電圧との関係を示すグラフである。

【図3】本発明に係る表示装置の構成例を示す断面図である。

【図4】図1に示した実施形態における各信号の波形例を示す波形図である。

【図5】図1の実施形態に係る画素回路を使用した表示装置の構成例を示すブロック図である。

【図6】従来の画素回路の例を示す回路図である。

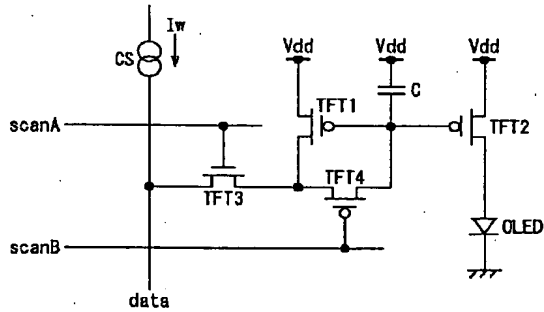
【図7】従来の表示装置の構成例を示すブロック図である。

【符号の説明】

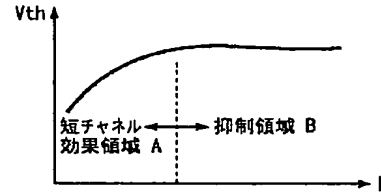
OLED・・・発光素子、TFT1・・・変換用薄膜トランジスタ、TFT2・・・駆動用薄膜トランジスタ、TFT3・・・取込用薄膜トランジスタ、TFT4・・・スイッチ用薄膜トランジスタ、C・・・保持容量、CS・・・電流源、scanA・・・走査線、scanB・・・走査線、data・・・データ線、21・・・走査線駆動回路、22・・・データ線駆動回路、23・・・

・走査線駆動回路、25・・・画素

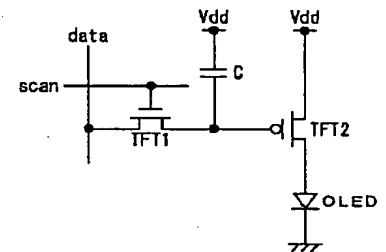
【図1】



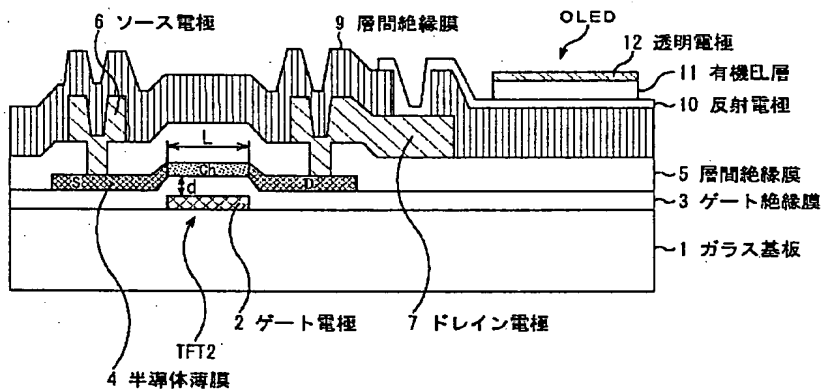
【図2】



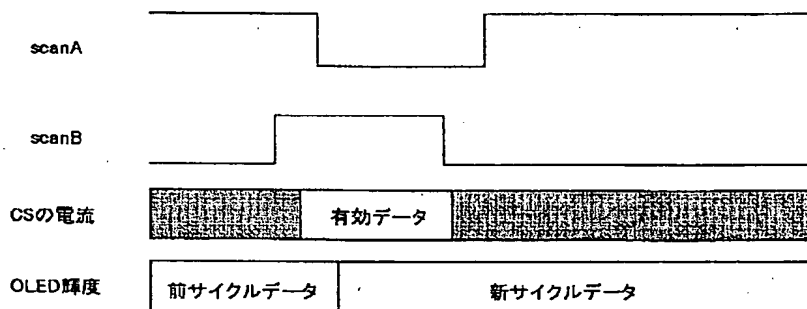
【図6】



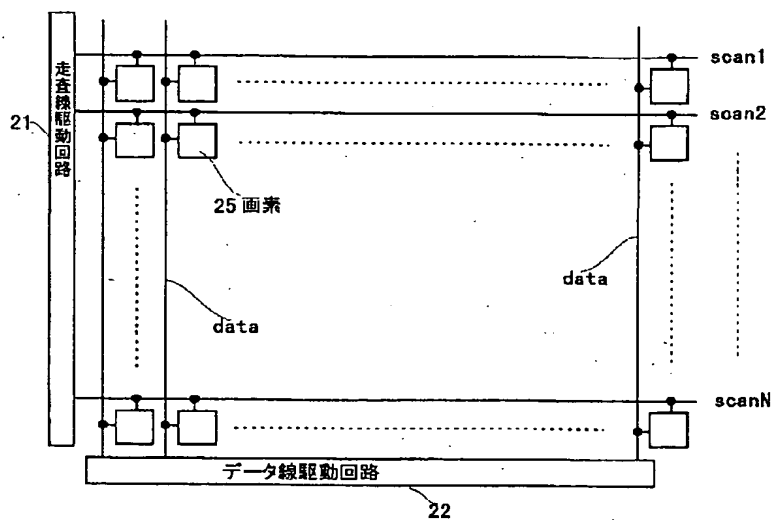
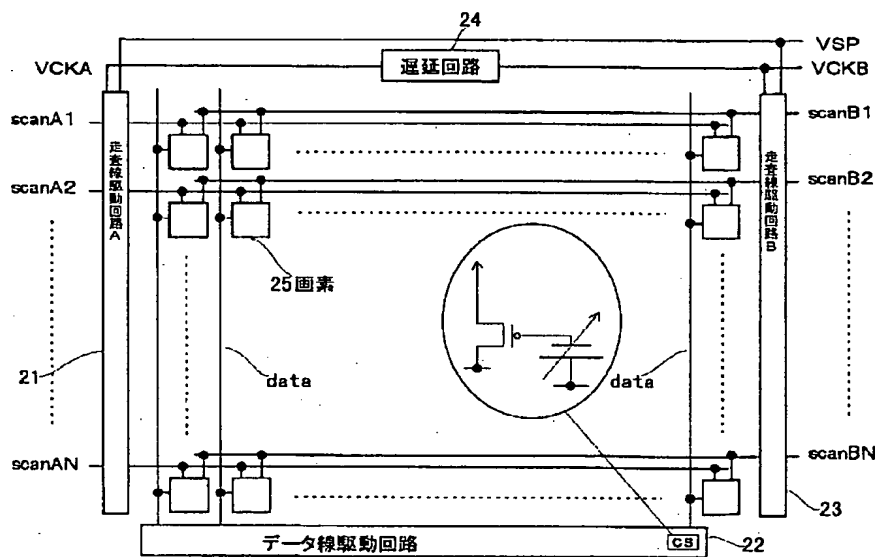
【図3】



【図4】



24



(51) Int. Cl. ⁷

識別記号

F I

H O 1 L 29/78

テーマコード（参考）

6 1 4

F ターム (参考) 3K007 AB17 BA06 CA01 CB01 CC01
DA00 DB03 EB00 FA01
5C080 AA06 BB05 CC03 DD12 DD30
EE25 FF12 HH09 KK02
5C094 AA02 AA06 AA07 AA14 AA25
BA03 BA27 CA19 DA09 EA05
EB02 FB01
5F110 AA06 AA08 AA14 BB02 CC08
DD02 EE25 GG02 GG13 GG32
NN02 NN78 NN80